

26898

출력 일자: 2003/12/1

발송번호 : 9-5-2003-047402905

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

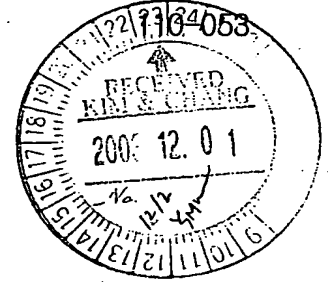
발송일자 : 2003.11.28

장 특허법률사무소)

제출기일 : 2004.01.28

장수길 귀하

특허청 의견제출통지서



출원인 명칭 샤프 가부시킴가이샤 (출원인코드: 519980961371)

주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고

대리인 성명 장수길 외 1명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2002-0002476

발명의 명칭 위상 보정 회로 및 그것을 이용한 디스크 재생 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

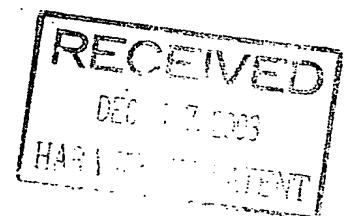
이 출원의 특허청구범위 제1항 내지 제14항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원의 청구항 제1항 내지 제14항은 위상보정회로 및 그것을 이용한 디스크 재생장치에 관한 것으로, 이는 국내공개특허공보 2000-70840호(2000.11.25 공개)에 정보기록재생장치에 관한 기술이 기재되어 있는바, 본원의 기록 데이터에 위상동기된 채널 클럭을 생성하는 채널 클럭 생성 수단의 구성은 인용발명의 클럭 검출 회로(45)로부터 출력된 위상 신호에 응답하여 위상에 동기한 클럭 신호를 발생시키는 PLL 회로(47)에 대응되고, 본원의 재생 신호의 위상과 상기 채널 클럭 생성 수단에 의해서 생성한 채널 클럭의 위상과의 위상차를 검출하는 위상차 검출 수단의 구성은 인용발명의 클럭 검출 회로(45)로부터 출력된 위상 신호에 응답하여 어드레스를 검출하는 어드레스 검출 회로(32)에 대응되고, 본원의 위상차 검출 수단에 의해 검출된 위상차에 기초하여, 현재 섹터가 상기 디스크형 기록 매체의 최소 기록 단위에서의 선두 섹터인지의 여부를 판단하여, 상기 현재 섹터가 선두 섹터가 아닌 경우에는 이전 섹터의 위상차 데이터를 참조하여 위상 제어 데이터를 생성하는 위상 제어 데이터 생성 수단의 구성은 인용발명의 위상 신호를 검출하는 클럭 검출 회로(45)와, 클럭 검출 회로로부터 출력된 어드레스 마크 신호에 응답하여 어드레스 마크에 동기한 어드레스 마크 동기 신호를 발생시키는 어드레스 마크 동기 신호 발생 회로(46)에 대응되고, 본원의 위상 제어 데이터 생성 수단의 출력에 기초하여 채널 클럭의 위상을 제어하여, 상기 기록 데이터에 위상 동기한 샘플링 클럭을 생성하는 위상 제어 수단의 구성은 인용발명의 PLL회로(47)로부터 출력된 클럭 신호를 어드레스 마크 동기 신호에 동기화하고, 동기 클럭 신호를 발생시키는 동기화 회로(48)의 구성에 대응되는 것으로, 본원은 인용발명의 구성과 유사하고 효과에 있어서도 현저한 차이를 발견할 수 없는 것입니다. 따라서, 본원은 인용발명의 구성으로부터 당업자수준에서 용이하게 발명할 수 있는 것입니다.

[참 부]

첨부1 한국공개특허공보 2000-70840호(2000.11.25) 1부 끝.



출력 일자: 2003/12/1

2003.11.28

특허청

심사4국

정보심사담당관실

심사관 유주호



<<안내>>

문의사항이 있으시면 ☎ 042-481-5690 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

T, SJ491

Mailed Date: November 28, 2003
Due Date: January 28, 2004

Korean Industrial Property Office

Office Action

Applicant:

Name: Sharp Corporation

Address: 22-22 Nagaike-cho Abeno-ku Osaka-shi
Osaka-fu, Japan

Attorney:

Name:

Address:

Application No. 10-2002-0002476

Title of the Invention

PHASE CORRECTION CIRCUIT AND DISK
REPRODUCTION DEVICE USING THE SAME

It is notified under Article 63 of the Korean Patent Law that this application is rejected for the reasons set forth below as a result of examination. If the applicant has any comments on this Office Action or wishes to make any amendments on the application, a Written Opinion [in Format 2 defined in Attachment 25 of Enforcement Regulation of Korean Patent Law] and/or an Amendment [in

Format defined in Attachment 5 of Enforcement Regulation of Korean Patent Law] should be filed on or before the above-mentioned due date (A one-month time extension may be granted with regard to the aforementioned due date; a grant of extension will not be notified separately).

[Reasons for Rejection]

The invention described in the application in reference to claims 1 to 14 could easily have been made, prior to the filing of the patent application, by a person with ordinary skill in the art to which the invention pertains, on the basis of the conventional technology and documents described below. Therefore, the patent is not granted according to Article 29(2) of the Korean Patent Law.

[Remarks]

1. The invention described in the application in reference to claims 1 to 14 relates to a phase correction circuit and a disk reproduction device using the same. The result of a comparison between the present application and a technology concerning an information recording/reproducing device disclosed by Korean Laid-Open Patent Application No. 2000-70840 (published on November 25, 2000) is as follows: Channel clock

generation means disclosed by the present application, which is for generating a channel clock whose phase synchronizes with that of record data, corresponds to a PLL circuit (47) disclosed by the cited reference, which is for generating a clock signal synchronizing with a wobble, in accordance with a wobble signal supplied from a clock detection circuit (45). Phase difference detection means of the present application, which is for detecting a phase difference between a phase of a reproduction signal of the fixed pattern and the phase of the channel clock generated by the channel clock generating means, corresponds to an address detection circuit (32) of the cited reference, which is for detecting an address in response to the wobble signal supplied from the clock detection circuit (45). Phase control data generation means of the present application, which is for judging whether or not a present sector is a leading sector in a minimum recording unit in the disk-type recording medium, and generating phase control data by referring to a phase difference data of a previous sector when the present sector is not the leading sector, based on the phase difference data detected by the phase difference detection means, corresponds to (i) a clock detection circuit (45) for detecting the wobble signal and (ii) an address mark synchronized signal generation circuit (46) of the cited reference, which is for generating an

address mark synchronized signal synchronizing with an address mark, in response to an address mark signal supplied from the clock detection circuit. Phase control means of the present application, which is for generating a sampling clock whose phase synchronizes with that of the record data, corresponds to a synchronizing circuit (48) of the cited reference, which is for generating a synchronizing clock signal. Thus, the present application is similar to the cited reference, and there are no particular differences between the effects exerted by the present application and those by the cited reference. For this reason, the present invention could easily have been made by a person with ordinary skill in the art to which the invention pertains.

[Attached Document]

1. A copy of Korean Laid-Open Patent Application No. 2000-70840 (published on November 25, 2000)

November 28, 2003

Examiner:

Examiner Unit for Information
Examination Division 4
Korean Patent Office